

⑫ 公開特許公報 (A) 昭62-43215

⑮ Int.Cl.⁴H 03 L 7/08
H 03 K 19/23

識別記号

府内整理番号
B-7530-5J
6628-5J

⑯ 公開 昭和62年(1987)2月25日

審査請求 未請求 発明の数 1 (全5頁)

⑯ 発明の名称 多数決判定機能を有する同期検出回路

⑰ 特願 昭60-181885

⑰ 出願 昭60(1985)8月21日

⑯ 発明者 二口 龍太郎 門真市大字門真1006番地 松下電器産業株式会社内

⑯ 出願人 松下電器産業株式会社 門真市大字門真1006番地

⑯ 代理人 弁理士 吉村 悟

明細書

1. 発明の名称

多数決判定機能を有する同期検出回路

2. 特許請求の範囲

(1) P L L の基準信号と比較信号が同期しているか否かを検出するために、アドレス値に対する出力パターンが予め書き込まれている R O M を有し、前記 P L L の基準信号及び比較信号がそれぞれデータ入力及びクロック入力に入力されているシフトレジスタの出力を当該 R O M のアドレス入力に接続し、当該 R O M の出力値により多数決判定を行なうことを特徴とする多数決判定機能を有する同期検出回路。

(2) 外部制御信号を R O M のアドレス入力に入力することを特徴とする特許請求の範囲第(1)項に記載の多数決判定機能を有する同期検出回路。

3. 発明の詳細な説明

産業上の利用分野

本発明は、多数決判定機能を有する位相同期ループ(以下 P L L)用同期検出回路に関する。

従来の技術

一般的に P L L の同期検出には、第5図に図示した P L L 1の基準入力信号 a を nビット・シフトレジスタ 2のデータ入力に入力すると共に、比較入力信号 b を当該 nビット・シフトレジスタ 2のクロック入力に入力し、このシフトレジスタ 2の出力 c を A N D ゲート 3によってデコードし、その出力信号 d によって同期したか否かを判定していた。第6図(A)及び(B)に第5図に図示した信号 a 及び信号 b が同期した状態と同期していない状態のタイミングチャートを示す。第6図(A)に示すように、信号 a の "H" 区間に信号 b のパルスが位置する状態が n回連続したときに、nビット・シフトレジスタ 2(第5図)の出力 c (O U T 1から O U T n)がすべて "H" となり、これらの n 個の信号を受ける A N D ゲート 3の出力 d も "H" となって同期状態が判定される。第6図(B)の状態では、nビット・シフトレジスタ 2(第5図)の出力 c の少なくとも 1つは "L" となるため、A N D ゲート 3の出力 d は "H" と

ならず非同期状態が判定される。

しかし、PLLの同期検出回路を含むシステムのなかには、第6図(A)に示すような状態が必ずしも1回連続しなくとも同期したとみなすような判定方法を要求する場合がある。例えば8回の連続判定に対し、5回だけ第6図(A)に示すような状態があれば同期したとみなす8:5の多数決判定機能を要求する場合である。この場合には、第5図の回路に多数決判定回路を追加しなくてはならない。

従来の多数決判定機能を有する同期検出回路の一例を、第7図に示す。第7図では簡単のために4:2の多数決機能の同期検出回路を例示した。

第7図に示す信号a1,b1は第5図示の信号a,bと同様の信号、4は4ビットのシフトレジスタ、5~10はANDゲート、11はORゲートである。4ビット・シフトレジスタ4の4つの出力OUT1~OUT4のうちの2つの信号が組み合わされ、ANDゲート5~10に入力されている。従って第6図(A)に示す状態が2回あれば、第7図

とする。

問題を解決するための手段

上記問題点を解決するために、本発明の多数決判定機能を有する同期検出回路は、その多数決判定回路として、多数決条件を記憶するROM(Read Only Memory)を用いることを提案する。

作用

本発明では、設定された多数決条件に従った記憶パターンをROMに予め書き込んでおき、シフトレジスタの出力信号を当該ROMのアドレス入力に入力し、当該ROMの出力が判定結果となるものである。従って第7図に示した多数のゲートは単一のROMに書き代わるため、極めて簡単な回路構成で多数決判定による同期検出が可能となる。

実施例

以下本発明の一実施例の多数決判定機能を有する同期検出回路について図面を参照しながら説明する。

第1図は本発明の第1の実施例の構成を示すも

のORゲート11の出力信号d1は“H”となり4:2の多数決判定が成立するため、同期状態が検出されることになる。

発明が解決しようとする問題点

しかしながら第7図のような構成では、判定条件を厳しくしたいとき、例えば、8:5の多数決判定をとりたいときは、第7図示のANDゲート5,6に相当するANDゲートの数をXとすると

$$X = 8 \cdot C_6 = 56 \dots \dots \dots \quad (1)$$

となり、56個もの多数のANDゲートが必要となる。また、これらのANDゲートは入力が5本必要であり、さらに第7図示のORゲート11に相当するORゲートも56本の入力線が必要となる。このようなゲートは一般には入手が困難なため、多数決判定に要するゲートはさらに多段に接続する必要があり、経済的に非常に不合理なものであった。

本発明はこの問題点に鑑み、極めて簡単な構成で任意の多数決判定条件を設定できる多数決判定機能を有する同期検出回路を提供することを目的

のである。なお、この実施例は4:2の多数決判定条件とする。

第1図において、12は4ビットのシフトレジスタであり、13はROMである。

以上のように構成された多数決判定機能を有する同期検出回路について、その動作を説明する。第1図示のシフトレジスタ12のDATA入力とクロック入力には第5図の信号a,bと同様の信号a2,b2がそれぞれ入力されており、シフトレジスタ12の4個の出力c2は、ROM13のアドレス入力A0~A3にそれぞれ入力されている。またd2は判定結果を示す信号であり、第5図示の信号リ、第2図示の信号d1と同様の信号である。

また第2図に、4:2の多数決判定条件の場合における第1図示のROM13の書き込みパターンを示す。4:2の多数決条件を満足するには、第2図に示すようにA0~A3のうち2つ以上“H”となるアドレス値のときに、ROM13の出力D0即ち信号d2が“H”となるような書き込みパターンにしておけばよい。

以上のように本実施例によれば、シフトレジスタの出力信号をROMのアドレスに入力し、そのROMの書き込みパターンを希望の多数決条件を満足するように設定しておくだけで、多段につながるゲートが不要となるため、極めて簡単な回路構成で多数決判定機能を実現することができる。

次に、本発明の第2の実施例について説明する。第3図は本発明の第2の実施例を示す多数決判定機能を有する同期検出回路である。

第3図において14は第1図と同様の構成の4ビット・シフトレジスタであり、信号a3,b3,c3,d3も第1図の信号a2,b2,c2,d2と同様のものである。

第1図と異なるのはROM15のアドレス入力をA₀～A₄と拡張し、A₀～A₃にシフトレジスタ14の出力c3を接続し、A₄には“H”及び“L”と2値の状態を有する信号e3を入力している点である。即ちこのような多数決判定機能を有する同期検出回路を含むシステムにおいては、しばしば、何らかの状態信号を用いてその多数決判定条件を切り換える場合があるが、第3図の信号e3はそ

れを実現するためのものである。例えば、信号e3、即ちROM15のアドレス入力A₄の状態が“H”的ときは、多数決判定条件を4:2にし、“L”的ときは4:3にするような場合である。この場合のROM15の書き込みパターンを第4図に示す。

第4図に示すように、第3図に示す信号e3、即ちROM15のアドレス入力A₄が“H”的場合には、ROM15のアドレス入力A₀～A₃のうち2つ以上が“H”的ときD₀、即ち信号d3が“H”となるようになっており、またA₄が“L”的場合には、A₀～A₃のうち3つ以上が“H”的ときD₀、即ち信号d3が“H”となるようになっていている。

以上のように、ROMのアドレス入力を1つ追加し、その状態の変化によって多数決判定条件を簡単に切り換えることができる。

発明の効果

以上のように本発明は、多数決判定回路としてROMを用いることによって、多段にゲートを接続することなしに極めて簡単な回路構成で希望の

多数決判定条件を満たす、多数決判定機能を有する同期検出回路を実現することができる。

また多数決判定条件の多様な要求に対して、ROMの容量を少し拡張するだけで、余分なゲート回路を必要とせずに対応することができ、さらに、外部制御信号をシフトレジスタの出力信号と共にROMのアドレス入力に入力することによって、一つのシステムのなかで多数決判定条件を容易に切り換えることができる。

4. 図面の簡単な説明

第1図は本発明の第1の実施例における多数決判定機能を有する同期検出回路の構成図。

第2図は第1図におけるROMの書き込みパターン。

第3図は本発明の第2の実施例における多数決判定機能を有する同期検出回路の構成図。

第4図は第3図におけるROMの書き込みパターン。

第5図は一般的な同期検出回路の構成図。

第6図は二つの信号の同期状態及び非同期状態

を示すタイミングチャート。

第7図は従来の多数決検定機能を有する同期検出回路の構成図。

12,14…4ビットシフトレジタ

13,15…ROM

a2,a3…同期検出時の基準信号

b2,b3…同期検出時の基準信号に対する比較信号

c2,c3…4ビットシフトレジスタ12,14の出力

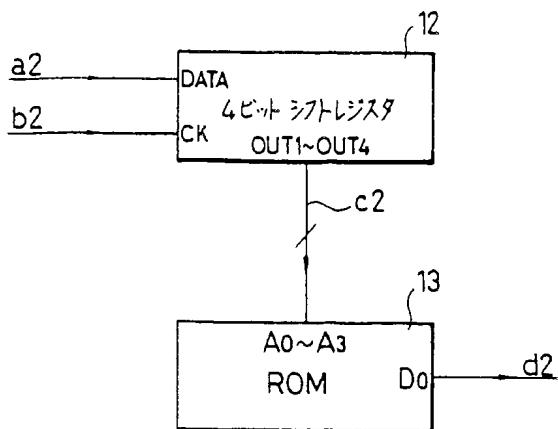
d2,d3…ROM13,15の出力。

e3…多数決判定条件を切り換えるための制御信号

特許出願人 松下電器産業株式会社

代理人弁理士 古 村

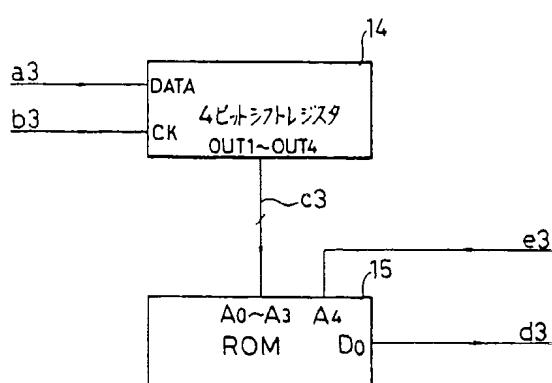




第1図

A0	A1	A2	A3		D0
L	L	L	L		L
L	L	L	H		L
L	L	H	L		L
L	L	H	H		H
L	H	L	L		L
L	H	L	H		H
L	H	H	L		H
L	H	H	H		H
H	L	L	L		L
H	L	L	H		H
H	L	H	L		H
H	L	H	H		H
H	H	L	L		H
H	H	L	H		H
H	H	H	L		H
H	H	H	H		H

第2図



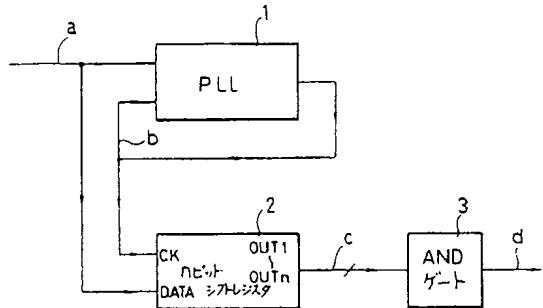
第3図

A0	A1	A2	A3	A4	D0
L	L	L	L	H	L
L	L	L	H	H	L
L	L	H	L	H	L
L	L	H	H	H	H
L	H	L	L	H	L
L	H	L	H	H	H
L	H	H	L	H	H
L	H	H	H	H	H
L	H	H	L	H	H
L	H	H	H	H	H
L	H	H	H	H	H
L	H	L	L	L	L
L	L	L	H	L	L
L	L	H	L	L	L
L	L	H	H	L	L
L	H	L	L	L	L
L	H	L	H	L	L
L	H	H	L	L	L
L	H	H	H	L	L
L	H	H	H	H	L
H	L	L	H	H	H
H	H	L	L	H	H
H	H	L	L	H	H
H	H	H	L	H	H
H	H	H	H	H	H
L	L	L	L	L	L
L	L	L	H	L	L
L	L	H	L	L	L
L	L	H	H	L	L
L	H	L	L	L	L
L	H	L	H	L	L
L	H	H	L	L	L
L	H	H	H	L	H
H	L	L	H	L	H
H	H	L	L	L	H
H	H	H	L	L	H
H	H	H	H	L	H
H	H	H	H	H	H

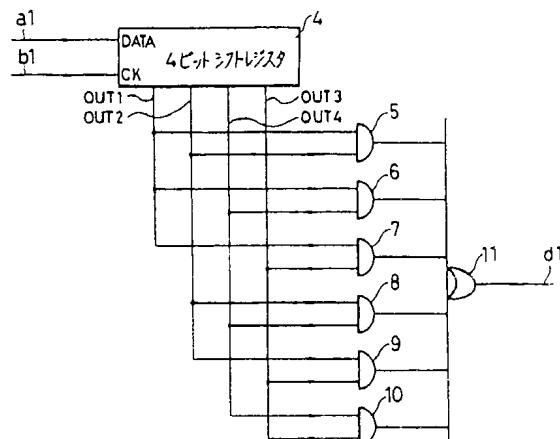
4:2の多數決

4:3の多數決

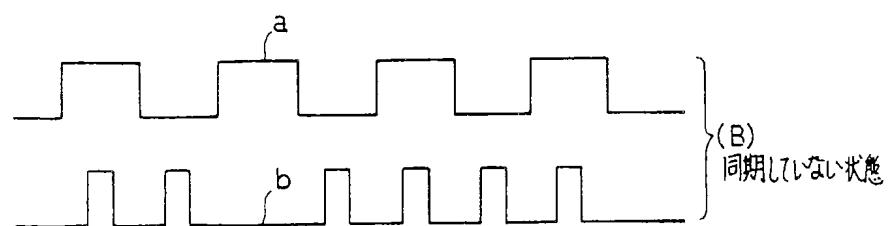
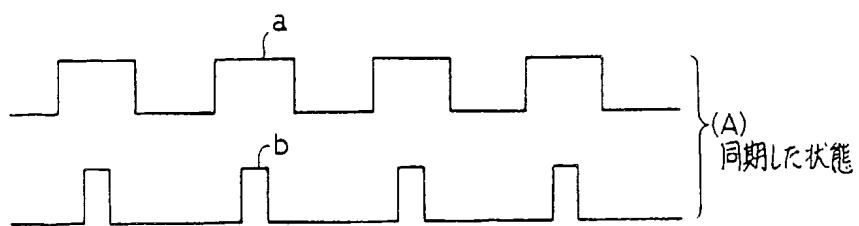
第4図



第 5 図



第 7 図



第 6 図

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-043215

(43)Date of publication of application : 25.02.1987

(51)Int.Cl.

H03L 7/08
H03K 19/23

(21)Application number : 60-181885

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 21.08.1985

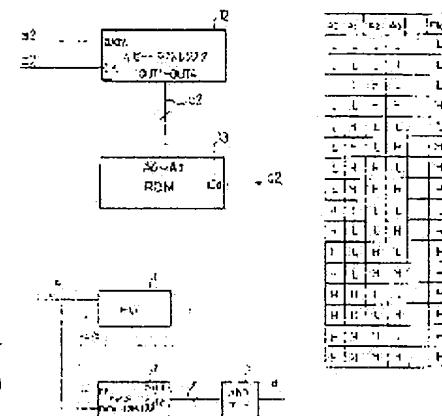
(72)Inventor : FUTAKUCHI RYUTARO

(54) SYNCHRONIZATION DETECTING CIRCUIT CONTAINING MAJORITY DECIDING FUNCTION

(57)Abstract:

PURPOSE: To set the optional majority deciding conditions with an extremely simple constitution by writing previously a storage pattern into a ROM according to the set majority conditions and then supplying the output signal of a shift register to the address input of the ROM.

CONSTITUTION: A reference input signal a2 of a PLL 1 and a comparison input signal b2 are supplied to a DATA input and a clock input of a register 12 respectively. Four outputs c2 of the register 12 are supplied to address inputs A0~A3 of a ROM 13 respectively. In order to satisfy the majority conditions of 4:2, such a writing pattern is set so that the output D0 of the ROM 13, i.e., a signal d2 is set at H with the address value with which ≥ 2 of the inputs A0A3 are set at H or higher. In other words, the majority deciding function is obtained with an extremely simple circuit constitution just by setting previously the writing pattern of the ROM so that the desired majority conditions are satisfied.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]